

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286359

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H01L 23/12

(21)Application number : 11-087694

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 30.03.1999

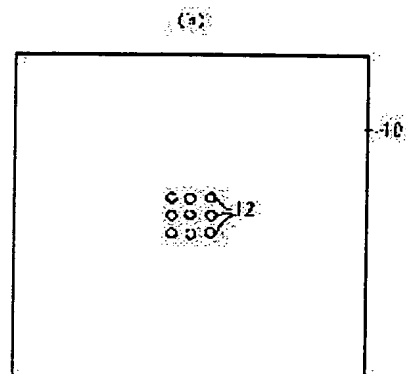
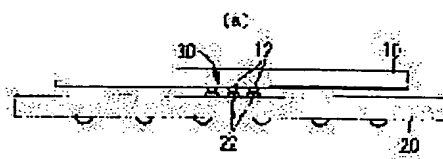
(72)Inventor : MASHINO NAOHIRO
KOIZUMI NAOYUKI
KOIKE HIROKO

(54) SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip in which its connection terminal is prevented from being electrically disconnected from the terminal of a package board.

SOLUTION: Terminals 12 are arranged in spot shape on a semiconductor chip 10. The terminals 12 of the chip 10 are connected to the corresponding terminals 22 of a package board 20 which are arranged concentratively in spot shape corresponding to the terminals 12, and a joint 30 where the chip 10 and the package board 20 are connected together via the terminals 12 and 22 is restricted to a limited area that belongs to the chip 10 and the board 20. The board 20 except the joint 30 can be shrunk or expanded or warped in a direction to absorb a stress without being restricted by the semiconductor chip 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-286359
(P2000-286359A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl.⁷

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

テームト* (参考)

L

Q

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平11-87694

(22) 出願日

平成11年3月30日 (1999. 3. 30)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 真篠 直寛

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 小泉 直幸

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 小池 博子

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100086623

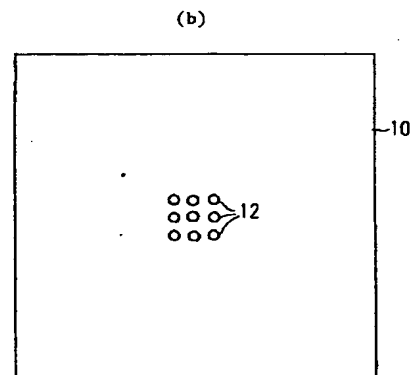
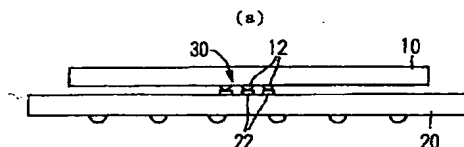
弁理士 松田 宗久

(54) 【発明の名称】 半導体チップ

(57) 【要約】

【課題】 半導体チップの接続端子とパッケージ基板の接続端子との電気的な接続不良が発生するのを防ぐことのできる半導体チップを得る。

【解決手段】 半導体チップ10に複数の接続端子12をスポット状に並べて形成する。そして、その半導体チップの複数の接続端子12を、それに対応してパッケージ基板20にスポット状に集中させて並べて形成された複数の接続端子22に接続した状態において、半導体チップ10とパッケージ基板20との複数の接続端子12、22を介しての接続箇所30を、半導体チップ10とパッケージ基板20との一部の箇所に制限できるようにする。そして、その半導体チップ10とパッケージ基板20との接続箇所30以外の、パッケージ基板20部分を、半導体チップ10に拘束されずに、上記の応力を吸収する方向に伸縮させたり反らせたりできるようにする。



【特許請求の範囲】

【請求項1】 半導体チップに並べて形成された複数の接続端子が、その複数の接続端子に対応してパッケージ基板に並べて形成された複数の接続端子に接続される半導体チップにおいて、

前記半導体チップの複数の接続端子が、半導体チップにスポット状又はリニア状に集中させて並べて形成されたことを特徴とする半導体チップ。

【請求項2】 前記半導体チップにスポット状又はリニア状に集中して並ぶ複数の接続端子が、その複数の接続端子に対応してパッケージ基板にスポット状又はリニア状に集中させて並べて形成された複数の接続端子に接続された状態において、半導体チップとパッケージ基板との間に発生する両者の熱膨張係数の差に基づく応力が集中する半導体チップ部分に、スリット又は切欠きが設けられた請求項1記載の半導体チップ。

【請求項3】 前記半導体チップが薄層状に撓みやすく形成された請求項1又は2記載の半導体チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップとパッケージ基板との間に発生する応力により、半導体チップの接続端子とそれが接続されたパッケージ基板の接続端子との電気的な接続不良が生ずるのを防ぐことのできる半導体チップに関する。

【0002】

【従来の技術】一般に、半導体チップ10は、図6に示したように、パッケージ基板20を介して実装基板50に実装される。パッケージ基板20は、半導体チップ10に並べて形成された複数の接続端子12のピッチを実装基板50に並べて形成された複数の接続端子52のピッチに合わせるためと、半導体チップ10の電子回路（図示せず）を実装基板50の配線回路（図示せず）にインピーダンスマッチングさせて電気的に接続する等のために用いられる。

【0003】半導体チップ10は、パッケージ基板20にフリップチップボンディング法により表面実装される。具体的には、図7に示したように、半導体チップ10に並べて形成された導体パッド、導体ポスト、又はそれらに形成された導体バンパからなる複数の接続端子12が、その複数の接続端子12に対応してパッケージ基板20に並べて形成された導体パッド又はそれに形成された導体バンパからなる複数の接続端子22にはんだ付け等により接続される。半導体チップ10の電子回路形成面等には、そのほぼ全面に互って複数の接続端子12が格子状等に均等ピッチで並べて形成されていて、その半導体チップ10に格子状等に均等ピッチで並ぶ複数の接続端子12が、その複数の接続端子12に対応してパッケージ基板20の表面に格子状等に均等ピッチで並べて形成された複数の接続端子22にはんだ付け等されて

接続される。そして、半導体チップ10とパッケージ基板20とが、その対向面のほぼ全体に互って格子状等に均等ピッチで並ぶ複数の接続端子12、22同士を介して、動かめようにリジッドに接合される。

【0004】

【発明が解決しようとする課題】しかしながら、上記のようにして、半導体チップ10をパッケージ基板20にフリップチップボンディング法によりリジッドに接合した場合には、半導体チップ10とパッケージ基板20との熱膨張の差に基づき、半導体チップ10とパッケージ基板20との間に発生する応力により、図7に二点鎖線で示したように、パッケージ基板20が半導体チップ10側に反る等した。そして、その反り等のために、半導体チップ10の接続端子12とそれが接続されたパッケージ基板20の接続端子22との電気的な接続不良が生じてしまった。

【0005】このことは、近時のCPU機能やメモリー機能を持つ電子回路が一体に作り込まれた高集積化された大型の半導体チップ10において顕著に生じた。そのため、従来の上記の実装方法では、約20mm角以上の高集積化された大型の半導体チップ10をパッケージ基板20にフリップチップボンディング法により表面実装することは、極力避けなければならなかった。

【0006】ちなみに、半導体チップ10の熱膨張係数は約 3×10^{-6} であり、それに対して、モールド樹脂等からなるパッケージ基板20の熱膨張係数は約 14×10^{-6} である。

【0007】本発明は、このような課題を解消可能な、半導体チップに並べて形成された複数の接続端子が、その複数の接続端子に対応してパッケージ基板に並べて形成された複数の接続端子に接続されて、半導体チップがパッケージ基板にフリップチップボンディング法により表面実装された状態において、半導体チップとパッケージ基板との間に両者の熱膨張係数の差に基づく応力が発生しても、半導体チップの接続端子とそれが接続されたパッケージ基板の接続端子との電気的な接続不良が生ずることのない半導体チップを提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体チップは、半導体チップに並べて形成された複数の接続端子が、その複数の接続端子に対応してパッケージ基板に並べて形成された複数の接続端子に接続される半導体チップにおいて、前記半導体チップの複数の接続端子が、半導体チップにスポット状又はリニア状に集中させて並べて形成されたことを特徴としている。

【0009】この半導体チップにおいては、半導体チップにスポット状又はリニア状に集中させて並べて形成された複数の接続端子を、その複数の接続端子に対応して

3

パッケージ基板にスポット 状又はリニア状に集中させて並べて形成された複数の接続端子に接続した状態において、半導体チップとパッケージ基板との間に両者の熱膨張係数の差に基づく応力が発生した場合に、半導体チップの複数の接続端子とそれが接続されたパッケージ基板の複数の接続端子とが半導体チップとパッケージ基板とにスポット 状又はリニア状に集中して並んでいるため、その半導体チップとパッケージ基板との複数の接続端子を介しての接続箇所を、半導体チップとパッケージ基板との一部の限られた箇所に制限できる。そして、その半導体チップとパッケージ基板との接続箇所以外の、パッケージ基板部分を、半導体チップに拘束されずに、上記の応力を吸収する方向に自在に伸縮させたり反らせたりできる。換言すれば、パッケージ基板を、その一部の限られた箇所を除いて、半導体チップに拘束されずに、フリーに伸縮させたり反らせたりできる。そして、その半導体チップとパッケージ基板との複数の接続端子を介して接続された接続箇所に加わる上記の応力を大幅に低減できる。そして、その半導体チップとパッケージ基板との間に発生した応力により、半導体チップの接続端子とそれが接続されたパッケージ基板の接続端子との電気的な接続不良が発生するのを防止できる。

【0010】本発明の半導体チップにおいては、半導体チップにスポット 状又はリニア状に集中して並ぶ複数の接続端子が、その複数の接続端子に対応してパッケージ基板にスポット 状又はリニア状に集中させて並べて形成された複数の接続端子に接続された状態において、半導体チップとパッケージ基板との間に発生する両者の熱膨張係数の差に基づく応力が集中する半導体チップ部分に、スリット又は切欠きが設けられた構造とすることを好適としている。

【0011】この半導体チップにあつては、半導体チップにスポット 状又はリニア状に集中して並ぶ複数の接続端子を、その複数の接続端子に対応してパッケージ基板にスポット 状又はリニア状に集中させて並べて形成された複数の接続端子に接続した状態において、半導体チップとパッケージ基板との間に両者の熱膨張係数の差に基づく応力が発生した場合に、その応力が集中する、例えば半導体チップとパッケージ基板との複数の接続端子を介して接続された2箇所以上の接続箇所の間の半導体チップ部分に設けられたスリット又は切欠き周辺の半導体チップ部分を、上記の応力を吸収する方向に上下等に反らせたり伸縮させたりできる。そして、そのスリット又は切欠き周辺の半導体チップ部分に上記の応力を吸収させることができる。そして、その半導体チップとパッケージ基板との複数の接続端子を介して接続された接続箇所に加わる上記の応力を大幅に低減できる。そして、上記の応力により、半導体チップの接続端子とそれが接続されたパッケージ基板の接続端子との電気的な接続不良が発生するのを防止できる。

4

【0012】また、本発明の半導体チップにおいては、半導体チップが薄層状に撓みやすく形成された構造とすることを好適としている。

【0013】この半導体チップにあつては、半導体チップにスポット 状又はリニア状に集中して並ぶ複数の接続端子を、その複数の接続端子に対応してパッケージ基板にスポット 状又はリニア状に集中させて並べて形成された複数の接続端子に接続した状態において、半導体チップとパッケージ基板との間に両者の熱膨張係数の差に基づく応力が発生した場合に、半導体チップとパッケージ基板とのスポット 状又はリニア状に集中して並ぶ複数の接続端子を介して接続された接続箇所以外の、薄層状に撓みやすく形成された半導体チップ部分を、上記の応力を吸収する方向に上下等に反らせることができる。そして、その半導体チップに上記の応力を吸収させることができる。そして、その半導体チップとパッケージ基板との複数の接続端子を介して接続された接続箇所に加わる上記の応力を大幅に低減できる。そして、上記の応力により、半導体チップの接続端子とそれが接続されたパッケージ基板の接続端子との電気的な接続不良が発生するのを防止できる。

【0014】

【発明の実施の形態】次に、本発明の実施の形態を図面に従い説明する。図1又は図2は本発明の半導体チップの好適な実施の形態を示し、図1(a)又は図2(a)はその実装状態を示す正面図、図1(b)又は図2(b)はその背面図である。以下に、この半導体チップを説明する。

【0015】図1に示した半導体チップでは、半導体チップ10の複数の接続端子12が、図1(b)に示したように、半導体チップ10の一部(図は中央部)にスポット 状に格子状に集中させて並べて形成されている。それに対して、図2に示した半導体チップでは、半導体チップ10の複数の接続端子12が、図2(b)に示したように、半導体チップ10の一部(図は右側)に1列又は複数列(図は1列)にリニア状に集中させて並べて形成されている。複数の接続端子12は、曲線リニア状又は直線リニア状(図は直線リニア状)に集中させて並べて形成されている。

【0016】そして、図1(a)又は図2(a)に示したように、その半導体チップ10にスポット 状又はリニア状に集中して並ぶ複数の接続端子12が、その複数の接続端子12に対応してパッケージ基板20にスポット 状又はリニア状に集中させて並べて形成された複数の接続端子22に接続されて、半導体チップ10がパッケージ基板20にフリップチップボンディング法により表面実装される構造をしている。

【0017】図1又は図2に示した半導体チップは、以上のように構成されていて、この半導体チップにおいては、半導体チップ10の複数の接続端子12が、半導体

チップ10の一部にスポット状又はリニア状に集中して並んでいる。そのため、その半導体チップ10にスポット状又はリニア状に集中して並ぶ複数の接続端子12を、その複数の接続端子12に対応してパッケージ基板20にスポット状又はリニア状に集中させて並べて形成された複数の接続端子22に接続した状態において、半導体チップ10とパッケージ基板20との間に両者の熱膨張係数の差に基づく応力が発生した場合に、その半導体チップ10とパッケージ基板20との複数の接続端子12、22を介しての接続箇所30を、半導体チップ10とパッケージ基板20との一部の限られた箇所に制限できる。そして、その半導体チップ10とパッケージ基板20との接続箇所30以外の、パッケージ基板20部分を、半導体チップ10に拘束されずに、上記の応力を吸収する方向に自在に伸縮させたり反らせたりできる。そして、その半導体チップ10とパッケージ基板20との複数の接続端子12、22を介して接続された接続箇所30に加わる上記の応力を大幅に低減できる。そして、その半導体チップ10とパッケージ基板20との間に発生した応力により、半導体チップ10の接続端子12とそれが接続されたパッケージ基板20の接続端子22との電気的な接続不良が発生するのを防止できる。

【0018】なお、図1又は図2に示した上述の半導体チップにおいては、半導体チップ10の複数の接続端子12を1箇所にスポット状又はリニア状に集中させて並べて形成しているが、半導体チップ10の複数の接続端子12は、2箇所以上にスポット状又はリニア状に集中させて並べて形成しても良い。その場合は、その半導体チップ10の2箇所以上にスポット状又はリニア状に集中して並ぶ複数の接続端子12を、その複数の接続端子12に対応してパッケージ基板20の2箇所以上にスポット状又はリニア状に集中させて並べて形成された複数の接続端子22に接続した状態において、半導体チップ10とパッケージ基板20との間に両者の熱膨張係数の差に基づく応力が発生した場合に、その半導体チップ10とパッケージ基板20との複数の接続端子12、22を介しての接続箇所30を、半導体チップ10とパッケージ基板20との2箇所以上の限られた箇所に制限できる。そして、その半導体チップ10とパッケージ基板20との接続箇所30以外の、2箇所以上の接続箇所30に挟まれたパッケージ基板20部分等を、半導体チップ10に拘束されずに、上記の応力を吸収する方向に自在に伸縮させたり反らせたりできる。そして、その半導体チップ10とパッケージ基板20との複数の接続端子12、22を介して接続された接続箇所30に加わる上記の応力を大幅に低減できる。そして、その半導体チップ10とパッケージ基板20との間に発生した応力により、半導体チップ10の接続端子12とそれが接続されたパッケージ基板20の接続端子22との電気的な接続不良が発生するのを防止できる。

【0019】図3又は図4は本発明の半導体チップの他の好適な実施の形態を示し、図3(a)又は図4(a)はその実装状態を示す正面図、図3(b)又は図4(b)はその背面図である。以下に、この半導体チップを説明する。

【0020】図の半導体チップでは、半導体チップ10にスポット状又はリニア状に集中して並ぶ複数の接続端子12が、その複数の接続端子12に対応してパッケージ基板20にスポット状又はリニア状に集中して並べて形成された複数の接続端子22にはんだ付け等により接続された状態において、半導体チップ10とパッケージ基板20との間に発生する両者の熱膨張係数の差に基づく応力が集中する半導体チップ10部分に、スリット又は切欠き(図は切欠き)40がダイシング等により設けられている。具体的には、半導体チップ10の2箇所以上(図は5箇所又は4箇所)に、複数の接続端子12がスポット状又はリニア状に集中させて並べて形成されている。そして、その半導体チップ10の2箇所以上にスポット状又はリニア状に集中して並ぶ複数の接続端子12が、その複数の接続端子12に対応してパッケージ基板20の2箇所以上にスポット状又はリニア状に集中させて並べて形成された複数の接続端子22に接続される構造をしている。スリット又は切欠き40は、上記の応力が集中する、半導体チップ10の2箇所以上にスポット状又はリニア状に集中して並ぶ複数の接続端子12の間の半導体チップ10部分に半導体チップ10の周縁に対して直角に設けられている。

【0021】図3又は図4に示した半導体チップは、以上のように構成されていて、この半導体チップにあっては、半導体チップ10の2箇所以上にスポット状又はリニア状に集中して並ぶ複数の接続端子12を、その複数の接続端子12に対応してパッケージ基板20の2箇所以上にスポット状又はリニア状に集中させて並べて形成された2箇所以上の複数の接続端子22に接続した状態において、半導体チップ10とパッケージ基板20との間に両者の熱膨張係数の差に基づく応力が発生した場合に、その応力が集中する、半導体チップ10とパッケージ基板20とのスポット状又はリニア状に集中して並ぶ複数の接続端子12、22を介して接続された2箇所以上(図は5箇所又は4箇所)の接続箇所30の間の半導体チップ10部分に設けられたスリット又は切欠き40周辺の半導体チップ10部分を、上記の応力を吸収する方向に伸縮させたり上下等に反らせたりできる。そして、そのスリット又は切欠き40周辺の半導体チップ10部分に上記の応力を吸収させることができる。そして、その半導体チップ10とパッケージ基板20とのスポット状又はリニア状に集中して並ぶ複数の接続端子12、22を介して接続された2箇所以上の接続箇所30に加わる上記の応力を大幅に低減できる。そして、上記の応力により、半導体チップ10の接続端子12とそれ

が接続されたパッケージ基板20の接続端子22との電気的な接続不良が発生するのを防止できる。

【0022】なお、図3又は図4に示した半導体チップでは、応力が集中する半導体チップ10部分に切欠き40を設けたものを示しているが、その周囲が途切れなく半導体チップ10により囲まれたスリットを、応力が集中する半導体チップ10の内側部分に設けても良く、その場合も、上述の半導体チップと同様な作用を持つ半導体チップを形成できる。

【0023】図5は本発明の半導体チップのもう一つ好適な実施の形態を示し、図5(a)はその実装状態を示す正面図、図5(b)はその背面図である。以下に、この半導体チップを説明する。

【0024】図の半導体チップでは、半導体チップ10が薄層状に撓みやすく形成されている。具体的には、通常は200～500μmの厚さに形成される半導体チップ10が、約50μmの厚さに薄く形成されている。このように、半導体チップ10を約50μmに薄く形成する技術は、現時点の半導体チップの製造方法においては、十分に実現可能な範囲内にある。

【0025】その他は、スリット又は切欠き40が設けられていない点を除いて、図4(a)、(b)に示した前述の半導体チップとほぼ同様に構成されている。この半導体チップにあつては、図5(a)に示したように、半導体チップ10にスポット状又はリニア状に集中して並ぶ複数の接続端子12を、その複数の接続端子12に対応してパッケージ基板20にスポット状又はリニア状に集中させて並べて形成された複数の接続端子22に接続した状態において、半導体チップ10とパッケージ基板20との間に両者の熱膨張係数の差に基づく応力が発生した場合に、図5(a)に二点鎖線で示したように、半導体チップ10とパッケージ基板20とのスポット状又はリニア状に集中して並ぶ複数の接続端子12、22を介して接続された接続箇所30以外の、薄層状に撓みやすく形成された半導体チップ10部分を、パッケージ基板20と共に、上記の熱応力を吸収する方向に上下等に反らせることができる。そして、その半導体チップ10部分やパッケージ基板20に上記の応力を吸収させることができる。そして、その半導体チップ10とパッケージ基板20との複数の接続端子12、22を介して接続された接続箇所30に加わる上記の応力を大幅に低減できる。そして、上記の応力により、半導体チップ10の接続端子12とそれが接続されたパッケージ基板20の接続端子22との電気的な接続不良が発生するのを防止できる。

【0026】なお、この半導体チップ10を薄層状に撓み易く形成する技術は、図1ないし図4に示した半導体チップ10にも利用可能であり、それらの半導体チップ10に利用すれば、半導体チップ10とパッケージ基板20との間に発生した応力により、半導体チップ10の

接続端子12とそれが接続されたパッケージ基板20の接続端子22との電気的な接続不良が発生するのを確実に防止できる。

【0027】

【発明の効果】以上説明したように、本発明の半導体チップによれば、半導体チップにスポット状又はリニア状に集中させて並べて形成された複数の接続端子が、その複数の接続端子に対応してパッケージ基板にスポット状又はリニア状に集中させて並べて形成された複数の接続端子に接続されて、半導体チップがパッケージ基板にフリップチップボンディング法により表面実装された状態において、半導体チップとパッケージ基板との間に両者の熱膨張係数の差に基づく応力が発生した場合に、パッケージ基板を、半導体チップに拘束されずに、その応力を吸収する方向に伸縮させたり反らせたり、スリット又は切欠き周辺の半導体チップ部分をその応力を吸収する方向に上下に反らせたり伸縮させたり、又は薄層状に撓み易く形成された半導体チップをその応力を吸収する方向に上下に反らせたり等できる。そして、その応力をパッケージ基板や半導体チップに吸収させることができる。そして、半導体チップとパッケージ基板とを接続している接続端子に上記の応力が加わって、その半導体チップの接続端子とそれが接続されたパッケージ基板の接続端子との電気的な接続不良が生ずるのを確実に防ぐことができる。その結果、本発明の半導体チップによれば、約50mm角以上の半導体チップであっても、その半導体チップをパッケージ基板にフリップチップボンディング法により表面実装可能となる。

【図面の簡単な説明】

【図1】本発明の半導体チップの実装状態を示す正面図とその背面図である。

【図2】本発明の半導体チップの実装状態を示す正面図とその背面図である。

【図3】本発明の半導体チップの実装状態を示す正面図とその背面図である。

【図4】本発明の半導体チップの実装状態を示す正面図とその背面図である。

【図5】本発明の半導体チップの実装状態を示す正面図とその背面図である。

【図6】従来の半導体チップの実装状態を示す正面図である。

【図7】従来の半導体チップの実装状態を示す正面図である。

【符号の説明】

10 半導体チップ

12 半導体チップの接続端子

20 パッケージ基板

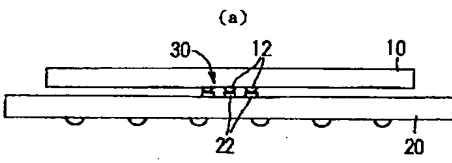
22 パッケージ基板の接続端子

30 接続箇所

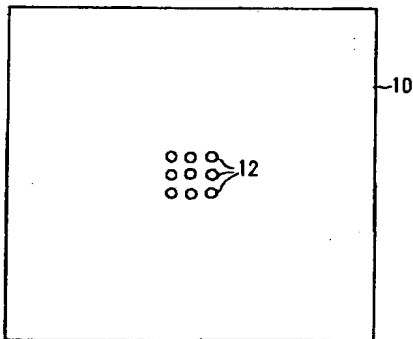
40 スリット 又は切欠き

50 実装基板

【 図1 】

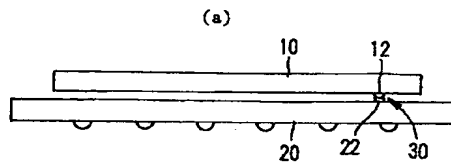


(b)

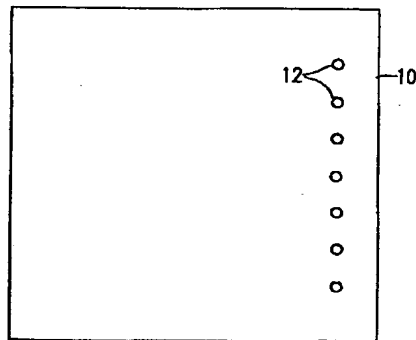


52 実装基板の接続端子

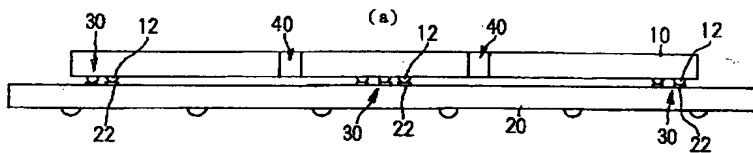
【 図2 】



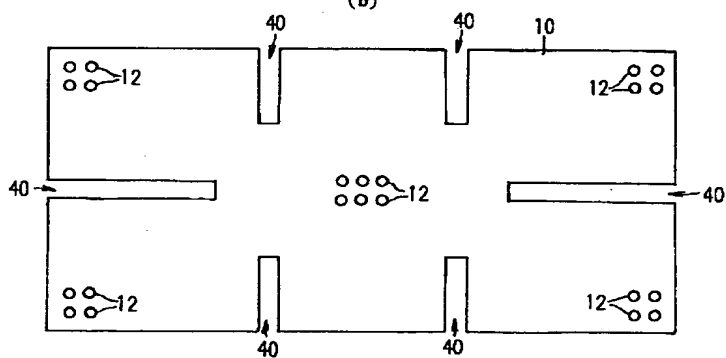
(b)



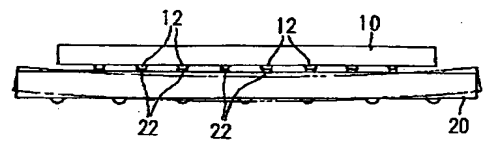
【 図3 】



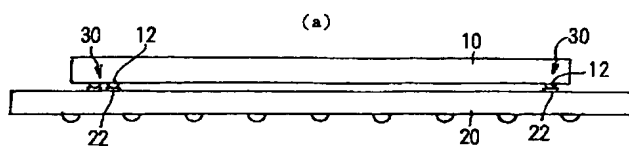
(b)



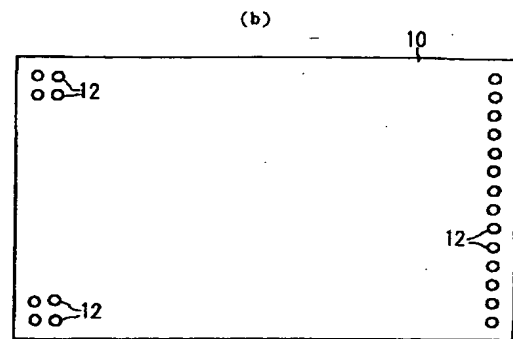
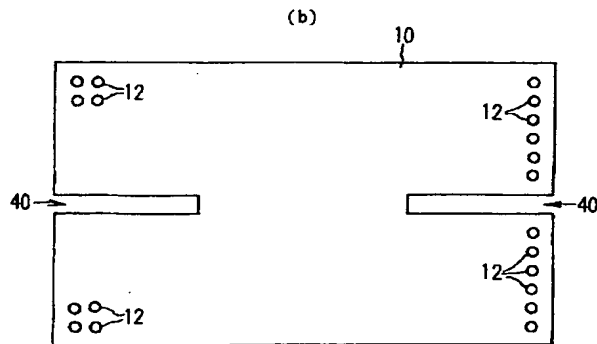
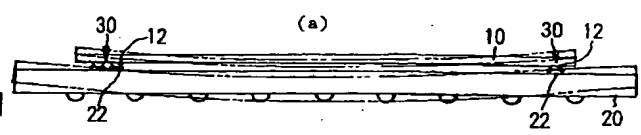
【 図7 】



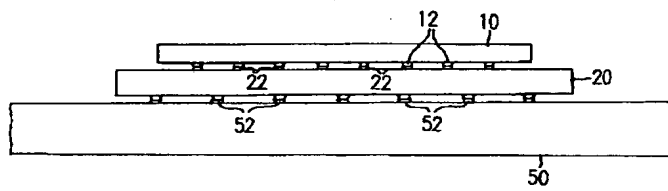
【 図4 】



【 図5 】



【 図6 】



THIS PAGE BLANK (USPTO)